

(11) 공개번호 특2001-0059960
(43) 공개일자 2001년07월06일

5-1

(13)로 이루어진다.

여기서, 상기 캐소드(11)는 일명 팁(tip)이라고도 하고, 그 팁은 날카롭게 형성되며 구동전원에 의해 전자들을 방출시키기 위해 대략 400Å이하의 반경을 가진다. 상기 게이트(12)에는 홀이 형성되고, 상기 캐소드(11)의 상부가 홀을 향하고 있다.

또한, 상기 애노드(13)는 상기 캐소드(11)에서 방출된 전자들을 끌어 당기는 역할을 하고, 또한 상기 형광막(14)에 의한 광이 투과될 수 있도록 투명성을 가진다.

상기와 같이 구성된 전계 방출소자의 동작을 설명하면, 캐소드(11)를 접지시키고 이에 근접한 게이트(12)를 포지티브 바이어스(positive bias)시킨 후에 구동전원을 인가하면, 냉음극의 팁에 강한 전계가 발생되고, 그 강한 전계에 의해 전자들이 양자역학적인 터널링(tunneling)효과에 의해 캐소드(11)로부터 방출된다. 그 방출된 전자는 게이트(12)를 통과한 후 가속화되어 진공 상태를 이동하여 투명 전극상의 양극판 형광막(14)을 코팅한 스크린의 화소에 높은 에너지를 가지고 충돌하여 발광한다. 이때, 게이트(12)에 의해 흡수되는 전자가 거의 없기 때문에 높은 효율을 갖게 되고, 거의 모든 전자가 형광막(14)을 코팅한 스크린에 도달한다. 이와 같은 전계방출소자가 채용된 전계방출표시기에서 컬러 표시를 실현할 때, RGB의 화소를 동시에 발광시키게 되므로 색이 표시된다.

도 2는 종래 전계방출표시장치의 캐소드 구동회로도를 나타낸 도면으로서, 이에 도시한 바와 같이, 캐소드(11) 하단에 연결된 NMOS 트랜지스터를 온-오프시켜 전류를 제어하는 방식이다. 즉, FED의 캐소드가 일정한 상태의 전압을 유지하지 못하므로 NMOS가 온-오프 될 때 NMOS 양단의 전압이 일정한 상태가 아니고 또한 FED 캐소드의 전압이 불안정한 상태가 되는 문제점이 있었다. 즉, NMOS가 캐소드 하단에 연결되고 N3 내지 N6의 드레인에 공통연결되어, 드레인 전압이 변화하므로 전류를 변화시키는 순간 불안정한 상태가 발생된다. 여기서 디지털 신호로 변환된 데이터 신호인 00, 01, 02, 03가 인가되면 공급전류인 I_{cc} 이 변화되어 캐소드단에 인가되는 I_{cs} 가 변화하고, 결국 전계 방출 표시기의 게조도가 변한다. 가장 밝은 화면을 표시하기 위해서는 00, 01, 02, 03에 1111 신호가 인가되어야 하고, 가장 많은 양의 전류가 캐소드 단을 통해서 흐르게되고 가장 밝은 상태를 유지한다. 00, 01, 02, 03에 0000 신호가 인가되면 전류는 흐르지 않으므로 가장 어두운 상태를 유지한다.

한편, FED의 캐소드 구동회로에 전류미러를 이용한 방식이 제안되고 있는데, 전류미러를 이용한 방식은 전류제한 회로를 구현해야 할 필요가 없이 그 자체로 전류제한 능력을 가지며, 방출되는 전자량을 직접 제어한다.

도 3은 일반적인 전류미러의 동작원리를 나타낸 회로도이다. 이에 도시한 바와 같이, 먼저 공급전류인 I_{cc} 과 출력전류인 I_{cs} 의 관계를 수식으로 나타내면 다음과 같다.

$$I_{cs} = \frac{K_2 F_2}{2I_1} (V_{gs} - V_{th})^2$$

$$I_{cs} = \frac{W_2}{W_1} \times I_{cc}$$

여기서, I_{cc} 은 전류원을 통하여 NMOS를 통해 흐르는 전류를 나타낸다. L_1 은 NMOS1의 채널 길이를 나타내고 W_1 은 NMOS1의 채널폭을 나타낸다. V_{gs} 은 NMOS1의 게이트와 소스간의 전압이고, V_{th} 은 NMOS1의 문턱전압을 나타낸다. 그리고 I_{cs} 는 NMOS2를 통해서 흐르는 출력단의 전류를 나타내며, W_2 는 NMOS2의 채널폭을 나타낸다.

FED구동회로에서 I_{cs} 가 FED의 캐소드 부분에 연결된다. I_{cs} 를 변화시키기 위해서는 I_{cc} 의 W_1 을 변화시키거나 I_{cc} 을 변화시키면 된다. I_{cc} 을 변화시키기 위해서는 NMOS의 채널폭을 변화시키거나 V_{gs} 을 변화시키면 된다. 이 같은 위단의 전류원으로 등가 모델링된 부분에서 전류를 변화시키면 가능하다.

본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기한 바와 같은 종래 기술에서의 문제점을 해결하기 위하여 안출한 것으로, 캐소드 하단에 NMOS 트랜지스터를 온 오프시키는 것이 아니라 기존 전류원으로 작용하는 부분의 NMOS를 온-오프시키는 방법을 사용하여 기존의 방식에 비해서 보다 안정한 전류미러를 이용한 FED의 캐소드 구동회로를 제공하는데 있다.

상기한 바와 같은 목적을 달성하기 위하여 본 발명의 바람직한 일실시예에 따르면, 전류미러를 이용한 FED의 캐소드 구동회로는 애노드와 게이트 및 캐소드를 갖춘 전계 방출 소자를 구비한 전계 방출 표시기에 있어서, 상기 캐소드 하단에 설치되고 기준전압이 인가되는 고정전압 MOS 트랜지스터와, 상기 고정전압 MOS 트랜지스터에 연결되어 그 MOS 트랜지스터에 흐르는 전류를 변화시키는 전류 미러와, 전류원에 연결되고 각각 데이터 신호가 인가되는 다수의 MOS 트랜지스터를 포함하고, 데이터 신호의 인가에 따라 상기 전류미러의 전류를 변화시키는 전류제어수단으로 구성된 것을 특징으로 한다.

상기 전류미러는 상기 전류제어수단의 다수개의 MOS 트랜지스터의 일측단이 그의 일측단에 공통접속된 제 1 엔모스 트랜지스터와, 상기 고정전압 MOS 트랜지스터의 일측단이 그의 일측단에 연결된 제 2 엔모스 트랜지스터로 구성되고, 상기 다수개의 MOS 트랜지스터의 일측단은 제 1 및 제 2 엔모스 트랜지스터의 게이트단에 공통접속되고, 상기 제 1 및 제 2 엔모스 트랜지스터의 타측단은 공통으로 접지된 것을 특징으로 한다.

본 발명의 구성 및 작용

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해

보다 분명해질 것이다.

이하, 첨부도면을 참조하여 본 발명에서 제안한 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로를 설명한다.

도 4는 본 발명의 제 1 실시예에 따른 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로도로서, 이에 도시한 바와 같이, 6개의 NMOS, 즉, N1 내지 N6와 1개의 고전압 NMOS인 HVNMOS로 구성되어 있다. 여기서, N1과 N2는 전류미러 역할을 한다.

또한, N3, N4, N5, N6는 전류제어수단으로서, 출력단과 분리된 구조로서 가지고 전류를 제어한다. 즉, N1에 흐르는 전류를 변화시킴으로써 N2에 흐르는 전류를 변화시키는 역할을 한다.

여기서 N3 내지 N6의 드레인 부분에는 일정한 전압 V_{DD} 가 인가되어 있고, 따라서 안정한 상태를 유지하며, 일반적인 경우에 비해서 전류제어수단이 안정한 상태를 유지한다.

상기 N3 내지 N6의 소스 부분은 전류미러 N1과 N2의 게이트에 공통접속되고, 각각의 게이트 부분에는 데이터 신호 D0 내지 D4가 입력된다.

상기와 같은 본 발명에 따른 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로의 제 1 실시예에 따르면, 데이터 신호가 상기 다수개의 엔모스 트랜지스터의 게이트단에 인가되면 공급전류 I_{DD} 가 변화하고 이에 따라 출력전류 I_{out} 도 변화한다. 따라서, 전류를 제어하는 부분이 캐소드 하단의 전압변동에 영향을 받지 않으므로 안정한 출력전류를 캐소드(11)로 공급할 수 있는 특징이 있다.

도 5는 본 발명에 따른 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로의 제 2 실시예로서, 전류제어단을 NMOS가 아닌 PMOS를 사용하여 구성한 경우이다. PMOS인 P1 내지 P4의 게이트에는 반전된 데이터 입력신호인 /D0, /D1, /D2, /D3가 인가된다.

상기와 같은 본 발명에 따른 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로의 제 2 실시예는 제 1 실시예에서와 마찬가지로 전류를 제어하는 부분이 캐소드 하단의 전압변동에 영향을 받지 않으므로 안정한 출력전류를 캐소드(11)로 공급할 수 있는 특징이 있다.

본 발명은 4 비트 이상인, 6비트, 8비트에도 적용가능하다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명에 따른 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로에 따르면, 전류를 제어하는 부분이 캐소드 하단의 전압변동에 영향을 받지 않으므로 안정한 출력전류를 캐소드(11)로 공급할 수 있는 효과가 있다. 따라서, 종래의 방식에 비해서 비디오 데이터 신호의 인가시 일정한 전류를 공급해서 보다 낮은 상태의 계조도를 화면상에 표시할 수 있는 효과가 있다.

아울러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구의 범위 내에 속하는 것으로 보아야 할 것이다.

(5) 청구의 범위

청구항 1

애노드와 게이트 및 캐소드를 갖춘 전계 방출 소자를 구비한 전계 방출 표시기에 있어서,

상기 캐소드 하단에 설치되고 기준전압이 인가되는 고전압 모스 트랜지스터와,

상기 고전압 모스 트랜지스터에 연결되어 그 모스 트랜지스터에 흐르는 전류를 변화시키는 전류 미러와,

전류원에 연결되고 각각 데이터 신호가 인가되는 다수의 모스 트랜지스터를 포함하고, 데이터 신호의 인가에 따라 상기 전류미러의 전류를 변화시키는 전류제어수단으로 구성된 것을 특징으로 하는 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로.

청구항 2

제 1 항에 있어서,

상기 전류미러는

상기 전류제어수단의 다수개의 모스 트랜지스터의 일측단이 그의 일측단에 공통접속된 제 1 엔모스 트랜지스터와,

상기 고전압 모스 트랜지스터의 일측단이 그의 일측단에 연결된 제 2 엔모스 트랜지스터로 구성되고,

상기 다수개의 모스 트랜지스터의 일측단은 제 1 및 제 2 엔모스 트랜지스터의 게이트단에 공통접속되고,

상기 제 1 및 제 2 엔모스 트랜지스터의 타측단은 공통으로 접지된 것을 특징으로 하는 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로.

청구항 3

제 1 항에 있어서,

상기 고전압 모스 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로.

청구항 4

제 1 항에 있어서,

다수개의 모스 트랜지스터는 NMOS인 것을 특징으로 하는 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로.

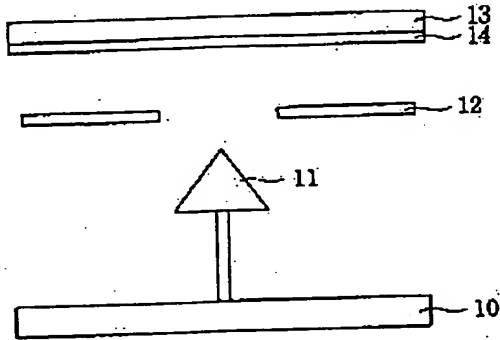
청구항 5

제 1 항에 있어서,

다수개의 모스 트랜지스터는 PMOS인 것을 특징으로 하는 전류미러를 이용한 전계방출표시장치의 캐소드 구동회로.

도면

도면1



도면2

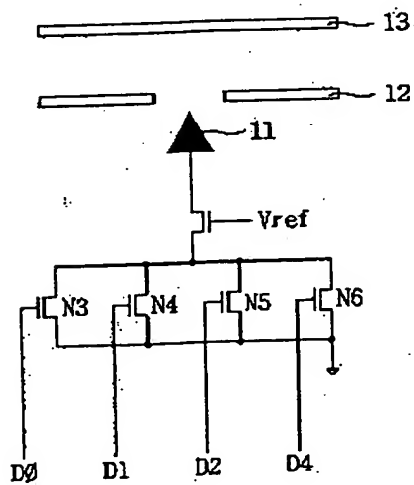


図 13

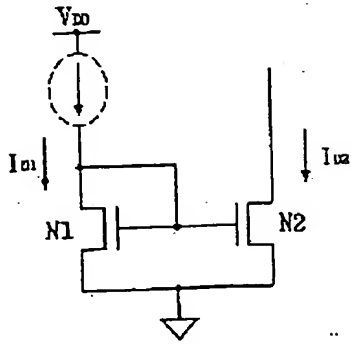


図 14

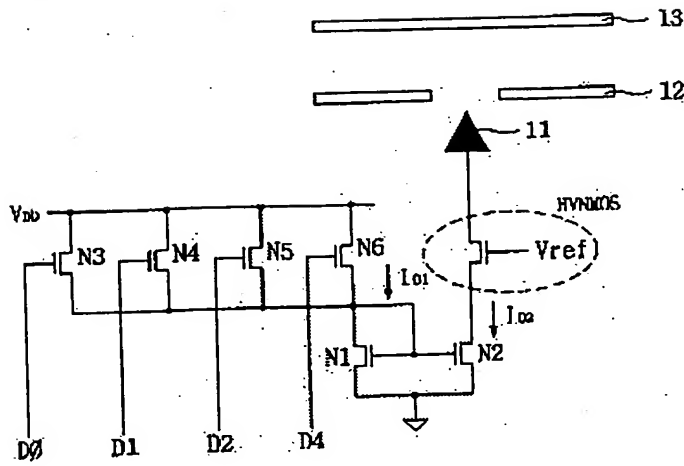


図 15

